

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-284117

(43)Date of publication of application : 27.10.1995

(51)Int.Cl.

H04N 9/64  
H04N 9/804  
H04N 9/808

(21)Application number : 06-098190

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 12.04.1994

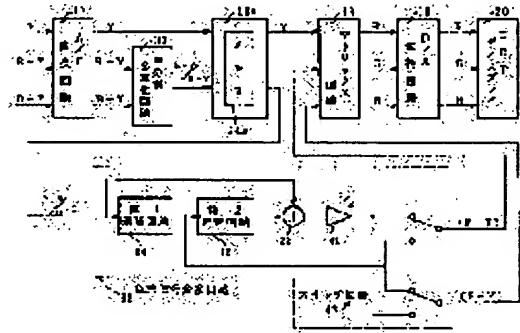
(72)Inventor : ITO KOJI

## (54) TELEVISION RECEIVER

## (57)Abstract:

PURPOSE: To reduce a memory capacity required by a memory of a digital signal processing circuit in the television receiver more than that of a conventional television receiver.

CONSTITUTION: The television receiver is provided with a time division multiplexer circuit 30 applying time division multiplex to color difference signals R-Y, B-Y outputted from an A/D converter circuit 10 into R-Y/B-Y to change a sampling frequency ratio of the color difference signals R-Y, B-Y read/written by a memory 14a of a digital signal processing circuit 12a from 4:4:4 into 4:2:2 and a color difference signal conversion circuit 32 applying time division demultiplex to the signals R-Y/B-Y outputted from the digital signal processing circuit 12a into the color difference signals R-Y, B-Y to convert the sampling frequency ratio of the signal Y and the color difference signals R-Y, B-Y from 4:2:2 into the original ratio 4:4:4. Since the sampling frequency ratio of the luminance signal and the color difference signal read/written by the memory 14a is changed from 4:4:4 into 4:2:2, the capacity of the memory 14a is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-284117

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl.<sup>6</sup>

H 0 4 N 9/64  
9/804  
9/808

識別記号

庁内整理番号

F I

技術表示箇所

L

H 0 4 N 9/ 80

B

審査請求 未請求 請求項の数 4 F D (全 6 頁)

(21) 出願番号

特願平6-98190

(22) 出願日

平成6年(1994)4月12日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 伊藤 宏司

神奈川県川崎市高津区末長1116番地 株式

会社富士通ゼネラル内

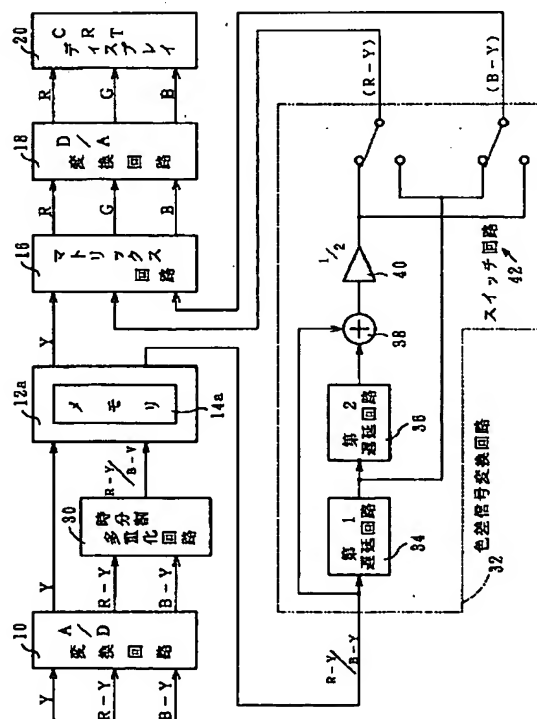
(74) 代理人 弁理士 古澤 俊明 (外1名)

(54) 【発明の名称】 テレビジョン受信装置

(57) 【要約】

【目的】 テレビジョン受信装置において、デジタル信号処理回路12aのメモリ14aが必要とするメモリ容量を従来より小さくすること。

【構成】 A/D変換回路10から出力する色差信号R-Y、B-YをR-Y/B-Yに時分割多重化して、デジタル信号処理回路12aのメモリ14aで読み書きする輝度信号Yと色差信号R-Y、B-Yの標本化周波数比を4:4:4から4:2:2に変える時分割多重化回路30と、デジタル信号処理回路12aから出力する信号R-Y/B-Yを色差信号(R-Y)、(B-Y)に時分割分離することによって信号Yと信号(R-Y)、(B-Y)の標本化周波数比を4:2:2から元の4:4:4に変える色差信号変換回路32とを設ける。メモリ14aで読み書きする輝度信号と色差信号の標本化周波数比を4:4:4から4:2:2に変えたので、メモリ14aのメモリ容量を小さくできる。



## 【特許請求の範囲】

【請求項1】メモリを用い、デジタルのカラーテレビ信号を輝度信号と2種類の色差信号の成分に分けて信号処理するデジタル信号処理回路を具備してなるテレビジョン受信装置において、前記2種類の色差信号を時分割多重化することによって、前記メモリで読み書きする輝度信号と2種類の色差信号の標準化周波数比を4:

4:4から4:2:2に変える時分割多重化回路と、前記デジタル信号処理回路から出力する時分割多重化された2種類の色差信号を時分割分離することによって、輝度信号と2種類の時分割分離された色差信号の標準化周波数比を4:2:2から元の4:4:4に変える色差信号変換回路とを具備してなることを特徴とするテレビジョン受信装置。

【請求項2】色差信号変換回路は、時分割で順次入力する2種類の色差信号を順次1標準化クロック分遅延させる第1、第2遅延回路と、前記第1遅延回路に入力する色差信号と前記第2遅延回路から出力する色差信号とを加算する加算回路と、この加算回路の出力信号に1/2を乗算する乗算回路と、この乗算回路の出力信号と前記第1遅延回路の出力信号とを1標準化クロックのタイミングで交互に振り分けることによって、一方の色差信号と他方の色差信号に切り換えて出力するスイッチ回路とを具備してなる請求項1記載のテレビジョン受信装置。

【請求項3】入力したアナログのカラーテレビ信号を構成する輝度信号と2種類の色差信号をデジタルの輝度信号と2種類の色差信号に変換するA/D変換回路と、このA/D変換回路から出力する輝度信号と2種類の色差信号につきメモリを用い成分に分けて信号処理するデジタル信号処理回路と、このデジタル信号処理回路から出力する輝度信号と2種類の色差信号を色信号R、G、Bに変換するマトリックス回路と、このマトリックス回路から出力する色信号R、G、Bをアナログの色信号R、G、Bに変換するD/A変換回路と、このD/A変換回路から出力する色信号R、G、Bに基づいて対応する画像を表示する画像表示部とを具備してなるテレビジョン受信装置において、前記A/D変換回路から出力する2種類の色差信号を時分割多重化することによって、前記メモリで読み書きする輝度信号と2種類の色差信号の標準化周波数比を4:4:4から4:2:2に変える時分割多重化回路と、前記デジタル信号処理回路から出力する時分割多重化された2種類の色差信号を時分割分離することによって、輝度信号と2種類の時分割分離された色差信号の標準化周波数比を4:2:2から元の4:4:4に変える色差信号変換回路とを具備してなることを特徴とするテレビジョン受信装置。

【請求項4】色差信号変換回路は、時分割で順次入力する2種類の色差信号を順次1標準化クロック分遅延させる第1、第2遅延回路と、前記第1遅延回路に入力する色差信号と前記第2遅延回路から出力する色差信号とを

加算する加算回路と、この加算回路の出力に1/2を乗算する乗算回路と、この乗算回路の出力と前記第1遅延回路の出力とを1標準化クロックのタイミングで交互に振り分けることによって、一方の色差信号と他方の色差信号に切り換えて出力するスイッチ回路とを具備してなる請求項3記載のテレビジョン受信装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、メモリを用い、デジタルのカラーテレビ信号を輝度信号と2種類の色差信号の成分に分けて信号処理するデジタル信号処理回路を具備してなるテレビジョン受信装置に関するものである。

## 【0002】

【従来の技術】従来、この種のテレビジョン受信装置は、例えば、図3に示すように構成されていた。すなわち、アナログのカラーテレビ信号を構成する成分としての輝度信号Yと2種類の色差信号R-Y、B-YをA/D（アナログ/デジタル）変換回路10でデジタルの輝度信号Yと2種類の色差信号R-Y、B-Yに変換し、ついでデジタル信号処理回路12においてメモリ14を用いて所定の信号処理を行い、ついで処理後の信号をマトリックス回路16及びD/A（アナログ/デジタル）変換回路18を介してCRTディスプレイ20へ出力して対応した画像を表示するようにしていた。

【0003】上述のデジタル信号処理回路12は、メモリ14で読み書きする輝度信号Yと2種類の色差信号R-Y、B-Yの標準化周波数比を4:4:4としてデジタル信号処理を行い、処理後の信号Y、R-Y、B-Yをマトリックス回路16へ出力するようにしていた。ここで、標準化周波数比の「4」は13.5MHzに対応する。

## 【0004】

【発明が解決しようとする課題】しかしながら、上述した従来のテレビジョン受信装置は、メモリ14に読み書きする信号Y、R-Y、B-Yの標準化周波数比を4:4:4としていたため、メモリ14に必要なメモリ容量が大きくなるという問題点があった。

【0005】本発明は上述の問題点に鑑みなされたもので、デジタル信号処理回路のメモリが必要とするメモリ容量を小さくすることのできるテレビジョン受信装置を提供することを第1の目的とするものである。そして、メモリ容量を小さくするために必要となる回路の構成を簡単にすることを第2の目的とするものである。

## 【0006】

【課題を解決するための手段】請求項1の発明は、メモリを用い、デジタルのカラーテレビ信号を輝度信号と2種類の色差信号（例えばR-Y、B-Y）の成分に分けて信号処理するデジタル信号処理回路を具備してなるテレビジョン受信装置において、前記2種類の色差信

号を時分割多重化することによって、前記メモリで読み書きする輝度信号と2種類の色差信号の標準化周波数比を4:4:4から4:2:2に変える時分割多重化回路と、前記デジタル信号処理回路から出力する時分割多重化された2種類の色差信号を時分割分離することによって、輝度信号と2種類の時分割分離された色差信号の標準化周波数比を4:2:2から元の4:4:4に変える色差信号変換回路とを具備してなることを特徴とするものである。

【0007】請求項2の発明は、請求項1の発明において、色差信号変換回路を、時分割で順次入力する2種類の色差信号（例えばR-Y、B-Y）を順次1標準化クロック分遅延させる第1、第2遅延回路と、第1遅延回路に入力する色差信号と第2遅延回路から出力する色差信号とを加算する加算回路と、この加算回路の出力信号に1/2を乗算する乗算回路と、この乗算回路の出力信号と前記第1遅延回路の出力信号とを1標準化クロックのタイミングで交互に振り分けることによって、一方の色差信号と他方の色差信号に切り換えて出力するスイッチ回路とで形成してなるものである。

【0008】請求項3の発明は、入力したアナログのカラーテレビ信号を構成する輝度信号と2種類の色差信号（例えばR-Y、B-Y）をデジタルの輝度信号と2種類の色差信号に変換するA/D変換回路と、このA/D変換回路から出力する輝度信号と2種類の色差信号につきメモリを用い成分に分けて信号処理するデジタル信号処理回路と、このデジタル信号処理回路から出力する輝度信号と2種類の色差信号を色信号R、G、Bに変換するマトリックス回路と、このマトリックス回路から出力する色信号R、G、Bをアナログの色信号R、G、Bに変換するD/A変換回路と、このD/A変換回路から出力する色信号R、G、Bに基づいて対応する画像を表示する画像表示部とを具備してなるテレビジョン受信装置において、前記A/D変換回路から出力する2種類の色差信号を時分割多重化することによって、前記メモリで読み書きする輝度信号と2種類の色差信号の標準化周波数比を4:4:4から4:2:2に変える時分割多重化回路と、前記デジタル信号処理回路から出力する時分割多重化された2種類の色差信号を時分割分離することによって、輝度信号と2種類の時分割分離された色差信号の標準化周波数比を4:2:2から元の4:4:4に変える色差信号変換回路とを具備してなることを特徴とする。

【0009】請求項4の発明は、請求項3の発明において、請求項1の発明において、色差信号変換回路を、時分割で順次入力する2種類の色差信号（例えばR-Y、B-Y）を順次1標準化クロック分遅延させる第1、第2遅延回路と、第1遅延回路に入力する色差信号と第2遅延回路から出力する色差信号とを加算する加算回路と、この加算回路の出力信号に1/2を乗算する乗算回

路と、この乗算回路の出力信号と前記第1遅延回路の出力信号とを1標準化クロックのタイミングで交互に振り分けることによって、一方の色差信号と他方の色差信号に切り換えて出力するスイッチ回路とで形成してなるものである。

【0010】

【作用】請求項1のテレビジョン受信装置では、時分割多重化回路が2種類の色差信号を時分割多重化することによってメモリで読み書きする輝度信号と2種類の色差信号の標準化周波数比を4:4:4から4:2:2に変え、色差信号変換回路がデジタル信号処理回路から出力する時分割多重化された2種類の色差信号を時分割分離することによって輝度信号と2種類の時分割分離された色差信号の標準化周波数比を4:2:2から元の4:4:4に変える。

【0011】請求項2のテレビジョン受信装置では、請求項1の発明において、色差信号変換回路はつぎのように作用する。すなわち、第1、第2遅延回路は時分割で順次入力する2種類の色差信号を順次1標準化クロック分遅延させ、加算回路は第1遅延回路に入力する色差信号と第2遅延回路から出力する色差信号とを加算し、乗算回路は加算回路の出力信号に1/2を乗算し、スイッチ回路は乗算回路の出力信号と第1遅延回路の出力信号とを1標準化クロックのタイミングで交互に振り分けることによって一方の色差信号と他方の色差信号に切り換えて出力する。

【0012】請求項3のテレビジョン受信装置では、時分割多重化回路がA/D変換回路から出力する2種類の色差信号を時分割多重化することによって、デジタル信号処理回路のメモリで読み書きする輝度信号と2種類の色差信号の標準化周波数比を4:4:4から4:2:2に変え、色差信号変換回路がデジタル信号処理回路から出力する時分割多重化された2種類の色差信号を時分割分離することによって、輝度信号と2種類の時分割分離された色差信号の標準化周波数比を4:2:2から元の4:4:4に変える。

【0013】請求項4のテレビジョン受信装置では、請求項3の発明において、色差信号変換回路はつぎのように作用する。すなわち、第1、第2遅延回路は時分割で順次入力する2種類の色差信号を順次1標準化クロック分遅延させ、加算回路は第1遅延回路に入力する色差信号と第2遅延回路から出力する色差信号とを加算し、乗算回路は加算回路の出力信号に1/2を乗算し、スイッチ回路は乗算回路の出力信号と第1遅延回路の出力信号とを1標準化クロックのタイミングで交互に振り分けることによって一方の色差信号と他方の色差信号に切り換えて出力する。

【0014】

【実施例】以下、本発明によるテレビジョン受信装置の一実施例を図1を用いて説明する。図1において図3と

同一部分は同一符号とする。図1において、10はA/D(アナログ/デジタル)変換回路で、このA/D変換回路10は、アナログのカラーテレビ信号を構成する独立成分としての輝度信号Yと2種類の色差信号R-Y、B-Yをデジタルの輝度信号Yと2種類の色差信号R-Y、B-Yに変換するように構成されている。

【0015】前記A/D変換回路10の出力側には、メモリ14aを有するデジタル信号処理回路12aと、時分割多重化回路30とが結合している。前記時分割多重化回路30は、前記デジタル信号処理回路12aへ出力する輝度信号Yと2種類の色差信号R-Y、B-Yの標準化周波数比が4:2:2となるように、前記A/D変換回路10から出力する2種類の色差信号R-Y、B-Yを時分割多重化した信号R-Y/B-Yを出力するように構成されている。ここで、標準化周波数比の「4」は13.5MHzに対応する。

【0016】前記デジタル信号処理回路12aの時分割多重化された信号R-Y/B-Yの出力側には色差信号変換回路32が結合している。前記色差信号変換回路32は、前記時分割多重化回路30で時分割多重化された信号R-Y/B-Yを信号R-Y、B-Yに時分割分離することによって、輝度信号Yと時分割分離した色差信号R-Y、B-Yの標準化周波数比を4:2:2から元の4:4:4に変えるように構成されている。

【0017】前記色差信号変換回路32は、時分割多重化された信号R-Y/B-Yを順次1標準化クロック分遅延させる第1、第2遅延回路34、36と、第1遅延回路34に inputs する色差信号と第2遅延回路36から出力する色差信号とを加算する加算回路38と、この加算回路38の出力信号に1/2を乗算する乗算回路40と、この乗算回路40の出力信号と前記第1遅延回路34の出力信号とを1標準化クロックのタイミングで交互に振り分けることによって、一方の色差信号(R-Y)と他方の色差信号(B-Y)に切り換えて出力するスイッチ回路42とからなっている。

【0018】前記第1、第2遅延回路34、36、加算回路38、乗算回路40及びスイッチ回路42は、具体的には汎用のIC(集積回路)で構成されている。そして、加算回路38と乗算回路40の処理時間を考慮し、スイッチ回路42の切り換えのタイミングを合わせるためのラッチ回路も設けられ、このラッチ回路も汎用のICで構成されている。

【0019】前記デジタル信号処理回路12aの輝度信号Yの出力側と前記色差信号変換回路32の色差信号R-Y、B-Yの出力側には、輝度信号Yと色差信号R-Y、B-Yとを色信号R、G、Bに変換するマトリクス回路16、D/A(アナログ/デジタル)変換回路18及び画像表示部としてのCRTディスプレイ20が順次結合している。

【0020】つぎに、前記実施例の作用を図2を併用し

て説明する。

(イ) A/D変換回路10は、アナログのカラーテレビ信号の成分(すなわちコンポーネント)としての輝度信号Yと2種類の色差信号R-Y、B-Yをデジタル(例えば8ビットの)の輝度信号Yと2種類の色差信号R-Y、B-Yに変換し、図2の(b)、(c)、(d)に示すような信号Y、R-Y、B-Yを出力する。

【0021】図2の(a)はA/D変換回路10の標準化クロックを表わす。図示の便宜上、図2の図中では、1標準化クロック(1画素に対応)毎の信号Y、R-Y、B-Yのそれぞれを、タイミング順に $Y_1$ 、 $Y_2$ 、 $Y_3$ 、…、 $R_{Y1}$ 、 $R_{Y2}$ 、 $R_{Y3}$ 、…、 $B_{Y1}$ 、 $B_{Y2}$ 、 $B_{Y3}$ 、…として表わす。以下、同様である。

【0022】(ロ)について、時分割多重化回路30は、A/D変換回路10から出力する色差信号R-Y、B-Yを1標準化クロックのタイミングで順次切り換えて出力することによって、図2の(e)に示すような時分割多重化された信号R-Y/B-Y(図中では1標準化クロックのタイミング順に表示された $R_{Y1}$ 、 $B_{Y2}$ 、 $R_{Y3}$ 、 $B_{Y4}$ 、…)を出力する。この時分割多重化によって、輝度信号Yと2種類の色差信号R-Y、B-Yの標準化周波数比が4:4:4から4:2:2に変わる。

【0023】(ハ)について、デジタル信号処理回路12aは、A/D変換回路10から出力する輝度信号Yと、時分割多重化回路30から出力する時分割多重化された信号R-Y/B-Yとについて、メモリ14aを用いて所定のデジタル信号処理を行う。このとき、メモリ14aで読み書きする輝度信号Yと2種類の色差信号R-Y、B-Yの標準化周波数比が従来の4:4:4から4:2:2に変わっているため、メモリ14aに必要なメモリ容量が従来より小さくて済む。

【0024】(ニ)について、色差信号変換回路32は、デジタル信号処理回路12aから出力する時分割多重化された信号R-Y/B-Yを時分割分離した色差信号R-Y、B-Yを出力することによって、輝度信号Yと、図2の(f)、(g)に示すような時分割分離された色差信号(R-Y)、(B-Y)との標準化周波数比を4:2:2から元の4:4:4に変える。

【0025】すなわち、第1、第2遅延回路34、36は時分割で順次入力する色差信号 $R_{Y1}$ 、 $B_{Y2}$ 、 $R_{Y3}$ 、 $B_{Y4}$ 、 $R_{Y5}$ 、 $B_{Y6}$ 、…を順次1標準化クロック分遅延させ、加算回路38は第1遅延回路34に inputs する色差信号(例えば $R_{Y3}$ )と第2遅延回路36から出力する色差信号(例えば $R_{Y1}$ )とを加算し、乗算回路40は加算回路38の出力信号(例えば $R_{Y1}+R_{Y3}$ )に1/2を乗算する。

【0026】そして、スイッチ回路42は、乗算回路40の出力信号(例えば $(R_{Y1}+R_{Y3})/2$ 、…)と、第1遅延回路34の出力信号(例えば $B_{Y2}$ 、…)とを



1 標本化クロックのタイミングで交互に振り分けることによって、一方の色差信号 ( $R-Y$ ) と他方の色差信号 ( $B-Y$ ) として切り換えて出力する。

【0027】すなわち、スイッチ回路 42 の一方の出力側 ( $R-Y$ ) の出力側) からは、図 2 の (f) に示すように、 $(R_{y1}+R_{y3})/2$ 、 $R_{y3}$ 、 $(R_{y3}+R_{y5})/2$ 、 $R_{y5}$ 、…が 1 標本化クロックのタイミングで順次出力し、他方の出力側 ( $B-Y$ ) の出力側) からは、図 2 の (g) に示すように、 $B_{y2}$ 、 $(B_{y2}+B_{y4})/2$ 、 $B_{y4}$ 、 $(B_{y4}+B_{y6})/2$ 、…が 1 標本化クロックのタイミングで順次出力する。このため、輝度信号  $Y$  と時分割分離された色差信号 ( $R-Y$ )、( $B-Y$ ) の標本化周波数比が 4 : 2 : 2 から元の 4 : 4 : 4 に変わる。

【0028】(ホ) ついで、マトリックス回路 16 は、デジタル信号処理回路 12a から出力する輝度信号  $Y$  と、色差信号変換回路 32 から出力する時分割分離された色差信号 ( $R-Y$ )、( $B-Y$ ) とを、色信号  $R$ 、 $G$ 、 $B$  に変換する。

【0029】(ヘ) ついで、 $D/A$  変換回路 18 は、マトリックス回路 16 から出力する色信号  $R$ 、 $G$ 、 $B$  をアナログの色信号  $R$ 、 $G$ 、 $B$  に変換し、CRT ディスプレイ 20 は、 $D/A$  変換回路 18 から出力する色信号  $R$ 、 $G$ 、 $B$  に基づいて対応する画像を表示する。

【0030】前記実施例では、2 種類の色差信号が  $R-Y$ 、 $B-Y$  である場合について説明したが、本発明はこれに限るものでない。例えば、2 種類の色差信号が NTSC 方式の  $I$ 、 $Q$  の場合についても利用することができる。

【0031】前記実施例では、色信号変換回路を第 1、第 2 遅延回路、加算回路、乗算回路及びスイッチ回路で構成して回路構成が簡単になるようにしたが、本発明はこれに限るものでなく、色信号変換回路は、デジタル信号処理回路から出力する時分割多重化された 2 種類の色差信号を時分割分離することによって、輝度信号と 2 種類の時分割分離された色差信号の標本化周波数比を

4 : 2 : 2 から元の 4 : 4 : 4 に変えるものであればよい。

【0032】

【発明の効果】請求項 1、3 のテレビジョン受信装置は、時分割多重化回路で 2 種類の色差信号を時分割多重化することによってメモリで読み書きする輝度信号と 2 種類の色差信号の標本化周波数比を 4 : 4 : 4 から 4 : 2 : 2 に変えるように構成したので、デジタル信号処理回路のメモリに必要なメモリ容量を従来例より小さくすることができる。

【0033】請求項 2、4 のテレビジョン受信装置は、請求項 1、3 の発明において、色差信号変換回路を第 1、第 2 遅延回路、加算回路、乗算回路及びスイッチ回路で構成するようにしたので、請求項 1、3 の発明の効果をもつとともに色差信号変換回路の構成を簡単に行うことができる。

【図面の簡単な説明】

【図 1】本発明によるテレビジョン受信装置の一実施例を示す概略構成図である。

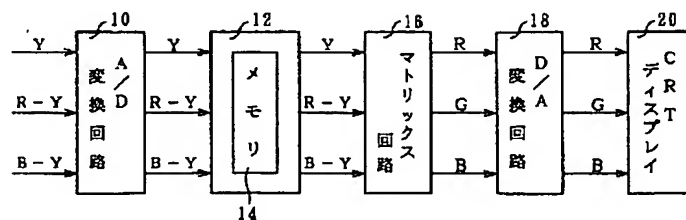
【図 2】図 1 の作用を説明するタイミングチャートである。

【図 3】従来例を示す概略構成図である。

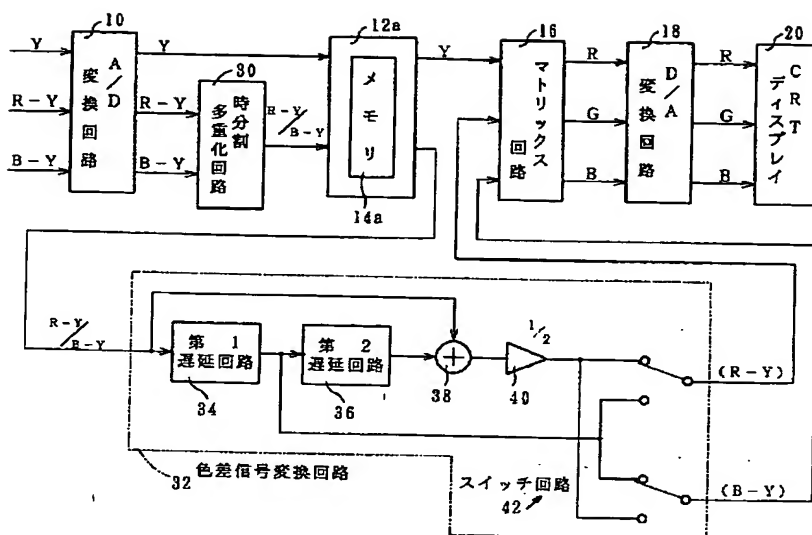
【符号の説明】

10… $A/D$  変換回路、12、12a…デジタル信号処理回路、14、14a…メモリ、16…マトリックス回路、18… $D/A$  変換回路、20…CRT ディスプレイ、30…時分割多重化回路、32…色差信号変換回路、34…第 1 遅延回路、36…第 2 遅延回路、38…加算回路、40…乗算回路、42…スイッチ回路、 $R$ 、 $G$ 、 $B$ …色信号、 $B-Y$ 、 $R-Y$ …色差信号、 $B_{y1} \sim B_{y9}$ …1 標本化クロック毎の  $B-Y$  の簡略表示、 $R_{y1} \sim R_{y9}$ …1 標本化クロック毎の  $R-Y$  の簡略表示、 $B-Y/R-Y$ …時分割多重化された色差信号、 $(B-Y)$ 、 $(R-Y)$ …時分割分離された色差信号、 $Y$ …輝度信号、 $Y_1 \sim Y_9$ …1 標本化クロック毎の  $Y$  の簡略表示。

【図 3】



【図 1】



【図 2】

